

MAJORITY-DECISION DISCRIMINATING CIRCUIT

Patent Number: JP6006329
Publication date: 1994-01-14
Inventor(s): MIWA TATSUYA
Applicant(s):: NEC ENG LTD
Requested Patent: ☐ JP6006329
Application Number: JP19920165187 19920624
Priority Number(s):
IPC Classification: H04L1/08 ; H04L25/08
EC Classification:
Equivalents:

Abstract

PURPOSE: To simplify the configuration of the majority-decision discriminating circuit to ensure quality of reception information in digital radio communication.

CONSTITUTION: The circuit is provided with a majority-decision discriminating section 4 using n-sets of register circuits (1) 3-1 to (n) 3-n storing individually incoming reception information repeated for n-times and a ROM circuit having m-sets of address inputs ($m > n$) and writing majority-decision discriminated result information and its validity information and with a threshold level revision circuit 2 revising a discrimination threshold level corresponding to the state in operation. Then an output from each register circuit and an output from the threshold level revision circuit 2 are connected to the address input of the ROM circuit of the majority-decision discrimination section 4 to allow the ROM circuit to immediately output majority-decision discriminated result information and information representing the validity.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-6329

(43) 公開日 平成6年(1994)1月14日

(51) Int.Cl.⁵H 0 4 L 1/08
25/08

識別記号

庁内整理番号
4101-5K
A 8226-5K

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 5 頁)

(21) 出願番号 特願平4-165187

(22) 出願日 平成4年(1992)6月24日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区西新橋3丁目20番4号

(72) 発明者 三和 達也

東京都港区西新橋3丁目20番4号日本電気
エンジニアリング株式会社内

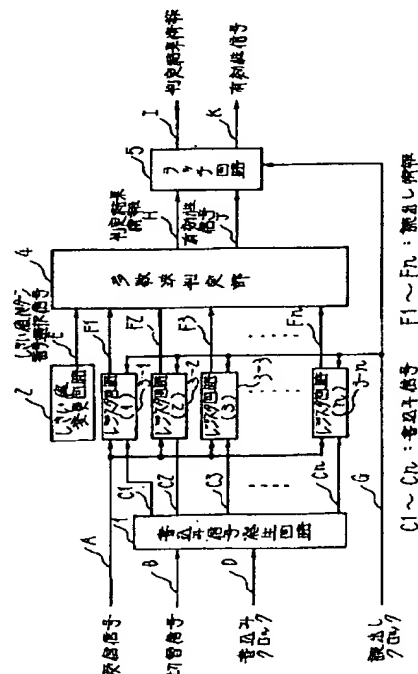
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 多数決判定回路

(57) 【要約】

【目的】 デジタル無線通信における受信情報の品質確保のための多数決判定回路の構成の簡素化。

【構成】 到来する n 回繰り返えされた受信情報を個別に格納する n 個のレジスタ回路 (1) 3-1 ~ (n) 3-n と、 m ($m > n$) 本のアドレス入力を持ち、予めアドレスにより多数決判定結果情報とその有効性を示す情報を書き込んだ ROM 回路を用いる多数決判定部 4 と、運用中の状態に対応して判定しきい値を変更するしきい値変更回路 2 とを備え、各レジスタ回路からの出力と、しきい値変更回路 2 からの出力とを多数決判定部 4 の ROM 回路のアドレス入力に接続することで、ROM 回路から即座に多数決判定結果情報とその有効性を示す情報とを出力する。



(2)

特開平6-6329

【特許請求の範囲】

【請求項1】 デジタル無線通信において到来する n 回繰り返えされる1回分の同一情報を格納する n 個のレジスタ回路と、外部から供給される切替信号と書き込みクロックとを合成し前記 n 個のレジスタ回路のそれぞれに対する書き込み信号を発生する書き込み信号発生回路と、 m ($m > n$) 本のアドレス入力を有し、あらかじめアドレスによって多数決の判定結果情報とその有効性を示す情報が書き込まれたROM構成の多数決判定部とを備え、前記 n 個のレジスタ回路の格納情報を前記多数決判定部のアドレス入力に接続し前記判定結果情報と有効性情報とを出力することを特徴とする多数決判定回路。

【請求項2】 前記多数決判定部に多数決判定の際のしきい値を決定するしきい値パターンを備え、運用条件に応じて ($m - n$) 本の空きアドレス入力を介して所望のしきい値パターンを選択することを可能としたことを特徴とする請求項1記載の多数決判定回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本装置は多数決判定回路に関し、特にデジタル無線通信において到来する、 n 回繰り返えされた同一情報の受信処理における多数決判定回路に関する。

【0002】

【従来の技術】 従来のこの種の多数決判定方法は多数あり、その内の代表的な2つの例を以下に述べる。

【0003】 図2は、従来の多数決判定回路の第一例を示すブロック図である。

【0004】 図2に見る従来の第一例は、多数決判定部にシフトレジスタ回路41と、カウンタ回路42と、比較器43とを用いた多数決判定回路として構成される。また図3は、図2の各信号のタイミングチャートである。

【0005】 図示しない n 個のレジスタ回路のそれぞれから読み出された n 個の平行情報4A1～4Anをシフトレジスタ41でシリアルデータ4Fに変換する。このシリアルデータ4Fはカウンタ回路42のカウント許可入力に供給される。

【0006】 カウンタ回路42は、シリアルデータ4Fによるカウンタ許可時のみカウントクロック4Cをカウントする。 n ビット分カウントしたカウンタ出力4Gを、比較器43にてしきい値信号4Eと比較して多数決判定を行ない、判定結果情報4Hと有効性を示す有効性信号4Jとを出力し、カウンタ回路42をカウンタリセット信号4Dでリセットする。

【0007】 図4は、従来の多数決判定回路の第二例を示すブロック図である。

【0008】 図4に示す第二例は、CPUによる多数決判定を行なうことを特徴とし、2つのレジスタ回路(1)101とレジスタ回路(2)103、およびCP

U102を備えた構成を有する。

【0009】 到来する受信信号10Aを書込みクロック10Bで繰返し情報も含めてレジスタ回路(1)101に全て書き込み、CPU102がレジスタ回路(1)101からその情報を読みだし、CPU102の処理で繰返しデータの多数決判定を行い、判定結果情報10Cと有効性信号10Dをレジスタ回路(2)103に書き込み随時読み出す。

【0010】

【発明が解決しようとする課題】 上述した従来の多数決判定回路は、以下に示す問題点がある。(1) 図2および図3に示す第一例では、多数決判定回路の含む多数決判定部が、シフトレジスタ回路と、カウンタ回路と、比較器とを用いる複数の回路から構成される。この構成においては、図示しない n 個のレジスタ回路から読み出された平行データをシフトレジスタ回路でシリアルデータに変換するために、 n 個のレジスタ回路から読み出すクロックの n 倍の周波数を持つクロックが必要となり、さらに n 個のシリアルデータごとにカウンタへのリセット信号等の数種類のタイミング信号が必要となる。

【0011】 また、“H”(ハイレベル)を判定するしきい値、“L”(ロウレベル)を判定するしきい値がそれぞれ別な値の場合は、比較器が2個必要になり、判定結果とその有効性を示す信号を作る必要がある。

【0012】 このように、多数決判定部が複数の回路より成るため、回路構成が大きく制御が複雑になるという問題点があった。(2) 図4に示す第二例の、CPUを利用する多数決判定回路は、 n 個のレジスタ回路を使わないだけ回路規模は小さくできるが、 n 回の多数決判定を行うCPUの負荷が高くなり、ある程度の処理時間を必要とするため低速なデータの場合しか使えない。またこのCPUを多数決判定処理に専念させても、高速なデータの場合、間に合わない場合が多いという問題点があった。

【0013】 本発明の目的は上述した問題点を解決し、簡素な構成で n 個のレジスタ回路の読出しクロックにほぼ同期して判定結果情報と有効性信号とを出力し、かつ高速データにも十分対応できる判定しきい値可変可能な多数決判定回路を提供することにある。

【0014】

【課題を解決するための手段】 本発明の多数決判定回路は、デジタル無線通信において到来する n 回繰り返えされる1回分の同一情報を格納する n 個のレジスタ回路と、外部から供給される切替信号と書き込みクロックとを合成し前記 n 個のレジスタ回路のそれぞれに対する書き込み信号を発生する書き込み信号発生回路と、 m ($m > n$) 本のアドレス入力を有し、あらかじめアドレスによって多数決の判定結果情報とその有効性を示す情報が書き込まれたROM構成の多数決判定部とを備え、前記 n 個のレジスタ回路の格納情報を前記多数決判定部のアドレス

(3)

特開平6-6329

入力に接続し前記判定結果情報と有効性情報とを出力する構成を有する。

【0015】また本発明の多数決判定回路は、前記多数決判定部に多数決判定の際のしきい値を決定するしきい値パターンを備え、運用条件に応じて $(m-n)$ 本の空きアドレス入力を介して所望のしきい値パターンを選択することを可能とした構成を有する。

【0016】

【実施例】次に、本発明について図面を参照して説明する。

【0017】図1は、本発明の一実施例の構成図である。図1に示す実施例は、 n 回繰り返えされて到来する受信信号をそれぞれ1回ずつ格納する n 個のレジスタ回路(1)3-1、(2)3-2、(3)3-3... (n)3-nと、これら n 個のレジスタ回路に対する書き込み信号を発生する書き込み信号発生回路1と、ROM構成による多数決判定部4と、多数決判定部4の判定しきい値を変更設定するしきい値変更回路2と、多数決判定部4の出力をラッチして出力するラッチ回路5とを備えた構成を有する。

【0018】図1にはまた、各種信号を併記して示すが、記号Aは同じ内容の情報を n 回繰り返す受信信号、記号Bは受信信号Aの1回分の情報を n 個のレジスタ回路3-1~3-nに格納するための切替信号、記号Dは受信信号Aの情報を同期した各レジスタ回路に対する書込クロック、記号C1~Cnは切替信号Bと書込クロックDとを書込み信号発生回路1で合成して成る書込信号、記号Gはレジスタ回路(1)3-1~(n)3-nに格納された情報を読み出すための信号で、判定結果情報Iとその有効性を示す有効性信号のリタイミングにも使われる読出しクロック、記号Eはしきい値変更回路2により選択された多数決判定のしきい値パターン番号選択信号、記号F1~Fnは、レジスタ回路(1)3-1~(n)3-nから読み出された読出し情報、記号Hは多数決判定部4から出力された判定結果情報、記号Jは多数決判定部4から出力された判定結果情報Hの有効性を示す有効性信号、記号IおよびKはそれぞれ判定結果情報Hと有効性信号Jを読出しクロックGでリタイミングした信号である。

【0019】次に、本実施例の動作について説明する。

【0020】到来する同じ内容が n 回繰り返えされる受信信号Aは、切替信号Bにより1回ずつレジスタ回路(1)3-1~(n)3-nに格納される。

【0021】レジスタ回路(1)3-1~(n)3-nに格納し終わったら、読出しクロックGで n 個のレジスタ回路(1)3-1~(n)3-nから読出しクロックGを用いて一斉に読み出す。

【0022】各レジスタ回路から読み出された読出し情報F1~Fnを、ROM構成の多数決判定部4のアドレス入力に入れる。このROMには、予めアドレスの“H”の数をしきい値と比較した結果およびその有効性を示す有効性情報が各番地に書き込まれており、アドレスに読出し情報F1~Fnを入力することでその番地に書き込まれていた判定結果情報Hと有効性信号Jが即座に出力される。さらに、多数決判定部4のROM回路が m ($m>n$)本のアドレスを持っており、1つのしきい値で使われるメモリは2の n 乗個であり、 n 本のアドレスを読出し情報F1~Fnに下位から接続した残り上位アドレス入力に多数決判定のしきい値パターン番号選択信号を接続することで、しきい値変更回路2によりしきい値を数種類選ぶことができる。

【0023】

【発明の効果】以上説明したように本発明は、多数決判定回路の多数決判定部を、予め用意されたデータを持つROM回路を用いて構成することにより、制御が簡単に構成部品も少なく、 n 個のレジスタ回路からの読みだしクロックにほぼ同期して判定結果情報と有効性を示す情報が出力され、高速なデータにも充分対応できるという効果がある。

【0024】また、しきい値変更回路を持つことにより、判定しきい値を運用状態に応じて変化させることが出来るという効果がある。

【図面の簡単な説明】

【図1】本発明の多数決判定回路の一実施例の構成図である。

【図2】従来の多数決判定回路の第一例を示す構成図である。

【図3】図2の各信号のタイミングチャートである。

【図4】従来の多数決判定回路の第二例を示す構成図である。

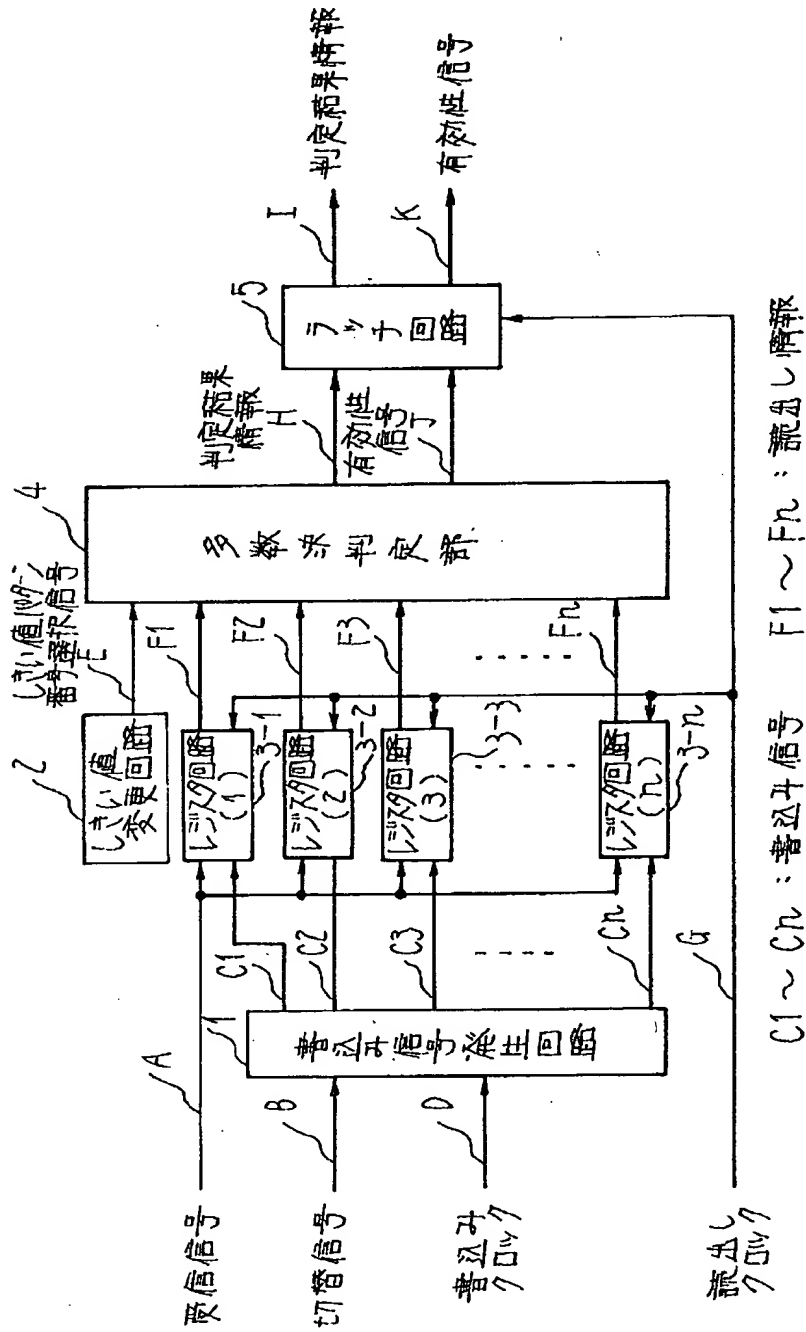
【符号の説明】

- 1 書き込み信号発生回路
- 2 しきい値変更回路
- 3-1~3-n レジスタ回路(1)~レジスタ回路(n)
- 4 多数決判定部
- 5 ラッチ回路
- 41 シフトレジスタ回路
- 42 カウンタ回路
- 43 比較器
- 101 シフトレジスタ回路(1)
- 102 CPU
- 103 シフトレジスタ回路(2)

(4)

特開平6-6329

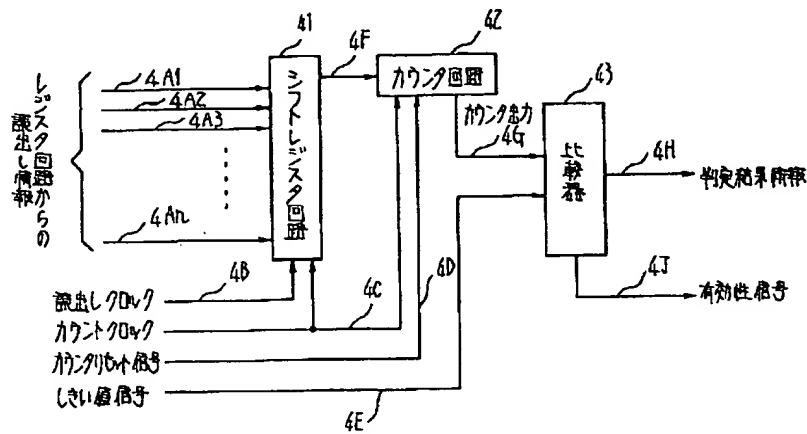
【図1】



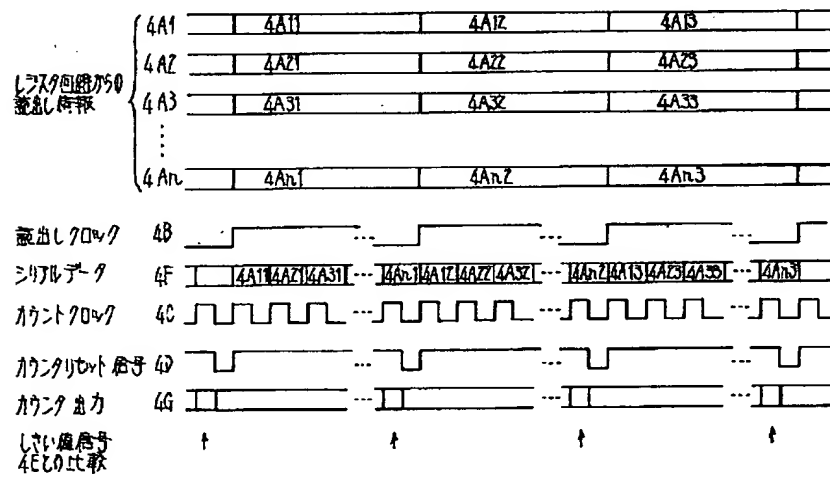
(5)

特開平6-6329

【図2】



【図3】



【図4】

